

PAT-NO: JP363054876A  
DOCUMENT-IDENTIFIER: JP 63054876 A  
TITLE: TIMING SIGNAL GENERATOR  
PUBN-DATE: March 9, 1988

INVENTOR-INFORMATION:

NAME	COUNTRY
NAGASHIMA, SUNAO	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
CANON INC N/A	

APPL-NO: JP61199351  
APPL-DATE: August 26, 1986

INT-CL (IPC): H04N003/15 , G06F015/64 , H04N001/04

ABSTRACT:

PURPOSE: To freely set a generation time or a generation cycle by providing a count means for counting a prescribed repeating signal, a memory means for storing timing information, a data changing means for changing the timing information of the memory means, a reading control means and a timing signal generating means.

CONSTITUTION: A selector 32 is set so as to make access to a RAM33 by a CPU17 and the respective data bits of the RAM 33 are set to prescribed values by the CPU17 through a bidirectional bus driver 34 throughout all address areas. Then, when the selector 32 is set to a counter 35 side, the reading operation of the RAM33 is started on the way of the counting of the counter 35, thereafter when as HS signal is initially effective (low level), the phases of clocks  $\phi_{1,1}$ ,  $\phi_{1,2}$  are registered and then, the data set to the RAM33 is sequentially read from an address '0'. Thereby, an arbitrary timing signal according to the bit set to the RAM33 by the CPU17 is outputted from a flip flop 36.

COPYRIGHT: (C)1988,JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-54876

⑬ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)3月9日

H 04 N 3/15  
G 08 F 18/64  
H 04 N 1/04

3 2 5  
1 0 3

7245-5C  
D-8419-5B  
8220-5C

審査請求 未請求 発明の数 1 (金5頁)

⑮ 発明の名称 タイミング信号発生装置

⑯ 特 願 昭61-199351

⑰ 出 願 昭61(1986)8月26日

⑱ 発 明 者 長 島 直 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内  
⑲ 出 願 人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号  
⑳ 代 理 人 弁理士 丸島 儀一

## 明 細 書

### 1. 発明の名称

タイミング信号発生装置

### 2. 特許請求の範囲

所定の経過し信号をカウントするカウント手段、タイミング情報を記憶する記憶手段、上記記憶手段のタイミング情報を変更するデータ変更手段、上記カウント手段によるカウント情報に応じて上記記憶手段に記憶されたタイミング情報を読み出す読み出し制御手段、上記読み出されたタイミング情報によりタイミング信号を発生する発生手段を有することを特徴とするタイミング信号発生装置。

### 3. 発明の詳細な説明

(技術分野)

本発明は、原稿をCCD等のライン・イメージ・センサを使用して読み取る画像読み取り装置等に適用したタイミング信号発生装置に関する。

(従来の技術)

従来、この種のタイミング信号の発生を必要と

する用途には、例えば、ライン・イメージ・センサの駆動信号、ライン・イメージの処理処理等がある。

このような用途では、一般に、一周期の動作に同期してカウントを行なうカウンタの出力をゲート回路やコンパレータを使用して所定のタイミング信号を発生するようにハードウェアで構成していた。しかし、信号の種類が多い場合、または、プログラマブルにするような場合には、ゲート回路やコンパレータの数、コンパレータに与える信号線の数が増加することから、回路が非常に大規模、複雑になるという欠点がある。

例えば、上記のカウンタが1ビットで構成され、任意の区間信号をプログラマブルに発生するためには、1つの信号に対してスタート・タイミングを指定するコンパレータ、エンド・タイミングを指定するコンパレータと2つ必要となり、タイミングを指定するための信号線は、各12ビット、計24ビット必要となる。従って、8つの区間信号を発生するためには、コンパレータが16

ケ、タイミングを指定する信号線が192ビットも必要になる。

#### (目的)

本発明の目的は、上記従来の欠点を除去し、かつ、発生時期や発生周期を自由に設定可能なタイミング信号発生回路を提供する事を目的としている。

#### (実施例)

以下、実施例をもとに本発明の詳細な説明を行なう。

第1図は、本発明を適用可能な原稿読み取り装置の概略を示す図である。

密着型CCDライン・イメージ・センサ1と原稿面を照明するための光源2より形成される光学系3は、図示の副定方向に駆動系により移動され原稿像をライン毎に読み取り動作を行なう。駆動系は、パルス・モータ5、駆動ベルト6、プーリー7及び8より構成される。

本実施例においては、読み取る原稿サイズが、例えば、A4、B5サイズのように異なり、その

述)が、例えば複数のANDゲートで構成されるゲート回路14へ出力される。

CPU17は、装置全体の制御、および、タイミング信号発生回路16の制御をROM18に記憶された制御プログラムを実行することに行なう。

RAM19は、プログラム実行の際にデータの一時記憶等に使用され、操作部20は、原稿読み取り開始の指示、原稿サイズの設定等をオペレータが行なうものである。

次に、第2図示のタイミング信号発生回路16の具体的な回路構成例を図3図を使用して説明する。

発振回路30は、基本タイミング・クロックを生成するための回路であり、発振出力CKは分周カウンタ31にされ、クロックφ1、φ2を生成する。分周カウンタ31は、例えば、スタンダードTTLであるT1社の74LS168Bのような同期式カウンタが使用で、本例ではダウン・カウンタとして使用している。

ために密着型CCDライン・イメージ・センサ1で読み取った像を原稿サイズに応じた有効部分のみを出力し、また、1ラインの像の読み取り区間(時間)を変更し、読み取り速度も変更可能にするものとする。

第2図は、第1図示の原稿読み取り装置の制御回路の構成図の例である。

CCD10は、密着型CCDライン・イメージ・センサ1に対応するライン・イメージ・センサであり、原稿を読み取ったアナログ画位信号は、サンプル・アンド・ホールド回路11でノイズの除去をされ、増幅回路12で増幅されたあと、アナログ・デジタル変換器13でデジタル信号に変換される。

CCD10には、タイミング信号発生回路16で発生する駆動信号がCCDドライバ15を介して与えられる。

タイミング信号発生回路16からは、アナログ・デジタル変換器13より出力されるデジタル画位信号の有効区間を決定するENBL信号(後

RAM33は、タイミングを記憶するためのリード、ライト可能なメモリであり、例えば、2K×8バイト構成の汎用スタティックRAM等が使用可能である。

セレクタ32は、CPU17によりRAM33をアクセスするか、カウンタ35のカウント信号によりRAM33に記憶されたデータを順次読み出すかを選択するための切り換え回路であり、CPU17によりいずれかが選択制御される。

RAM33へのデータ・アクセスは、CPU17により双方向バス・ドライバ34を介して行なわれ、カウンタ35のカウント信号によりRAM33に記憶されたデータを順次読み出す場合には、Dタイプ・フリップ・フロップ38にデータが保持される。

NANDゲート回路37、NORゲート回路38は、カウンタ37をクリアするための信号KSをクロックφ1、φ2、SYNC信号より生成するための回路である。

カウンタ35は、例えば、スタンダードTTL

であるT1社の74LS163のような同期式クリア入力端子を持った同期式アップ・カウンタが使用可能である。

第4図は、タイミング信号発生回路の動作タイミングの例であり、Dタイプ・フリップ・フロップ38より出力されるタイミング信号の一つであるENBL信号と、前述のカウンタ37のクリア用のHS信号の根拠を示している。

はじめにRAM33をCPU17でアクセス可能のようにセクタ32をセットし、RAM33の各データ・ビットを全アドレス領域にわたって双方向性バス・ドライバ34を介してCPU17により所定の値にセットする。例えば、クロックφ1が1マイクロ秒の時にSYNC信号の1周期を1ミリ秒とするためには、本実施例の場合、RAM33の対応するデータ・ビットのアドレス0～999に値0を代入しておき、アドレス999以上には値1を代入しておけばよい。

セクタ32をカウンタ35側にセットすると図示のようにカウンタ35のカウントの途中から

ていない場合のタイミング・チャートの例を示している。

第8図のようにクロックφ1、φ2の位相があていない場合には、例えば、上記の例であればアドレスn=999のときにフリップ・フロップ38から出力されるSYNC信号では、HS信号が発生しないためにn+1のアドレスのデータで図示のようにHS信号が有効となり次の周期からは位相の合った状態になる。

このように本実施例においては、自動的にクロックφ1、φ2の位相合わせが行なわれる。

第7図は、CPU17の制御フロー・チャートの例であり、第4図に示すタイミング・チャートに応じた処理をステップSP1～SP4にわたって行なっている。

この根拠に、本実施例によるとタイミング信号の発生のために必要なタイミング及び期間に対応したデータを予めメモリRAMにセットし、そのメモリの読出しを行なうことにより、必要なタイミング信号を得ることが出来る。従って、RAMに

RAM33の読出し動作が開始され、その後、始めにHS信号が有効(ローレベル)になった時にクロックφ1、φ2の位相合わせが行なわれる、その後は、図示のようにRAM33にセットされたデータがアドレス0から順次読み出され、これにより図のENBL信号のようにCPU17によるRAM33へのビットセットに応じた任意のタイミング信号がフリップ・フロップ38から出力される。

本実施例においては、読み取る原稿サイズによりENBL信号のエリア制御を行なっている。

また、本実施例において第5図、第8図に示すように、クロックφ1、φ2の位相がHSが有効となってカウンタ35のカウント値が0の時に図示のような位相となるように対応されている。当然この場合一周期はカウンタ35が偶数カウントとなる場合に限られる。

第9図は、クロックφ1、φ2の位相があてられている場合のタイミング・チャートの例を示しており、第8図は、クロックφ1、φ2の位相があ

ていない場合のタイミング・チャートの例を示している。セットするデータを変更することにより、船々のタイミング及び期間のタイミング信号を容易に得ることが可能となる。

尚、本実施例においては、RAM33のデータ変更はマイクロ・コンピュータを想定しているが、例えば、船々のタイミングをあらかじめリード・オンリー・メモリ等に記憶しておきハードウェアでRAM33に伝送するようにしてもよい。また、デイスイッチ等でマニュアルセットすることも可能である。

#### (効果)

以上本発明によれば、複雑な船々のタイミング信号を非常に単純な回路構成で実現しており、また、メモリの記憶内容を変更或いは選択することによってタイミングの変更も極めて容易になる。

#### 4. 図面の簡単な説明

第1図は本発明を適用した原稿読み取り装置のメカニカルな構成を示す図、

第2図は第1図示の原稿読み取り装置の制御回路の構成図、

第3図はタイミング信号発生回路の回路構成例、

第4図はタイミング信号発生回路の動作タイミング図、

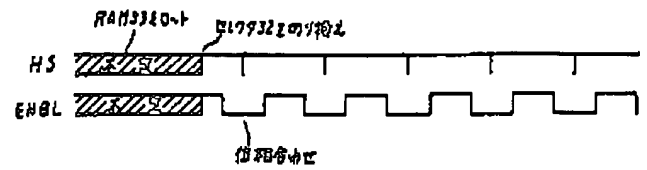
第5図はクロックφ1、φ2の位相があっている場合のタイミング・チャート図、

第6図はクロックφ1、φ2の位相があっていない場合のタイミング・チャート図、

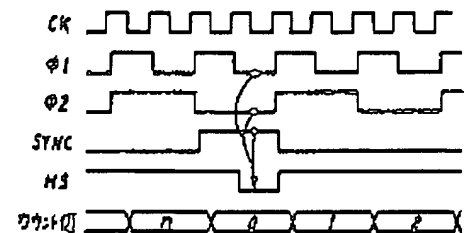
第7図はCPU17の制御フロー・チャート図である。

図において、1は密着型CCDライン・イメージ・センサ、2は光源、3は光学系、4は原稿台ガラス、5はパルスモータ、16はタイミング信号発生回路、33はRAM、35はカウンタである。

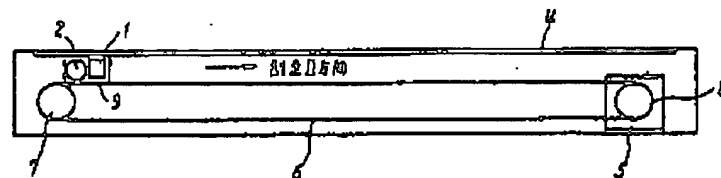
出願人 ヤマノン株式会社  
代理人 丸 島 徹 一



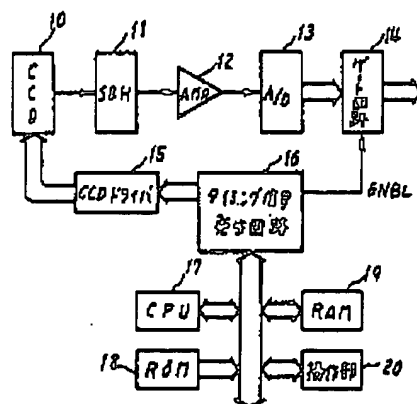
第4図



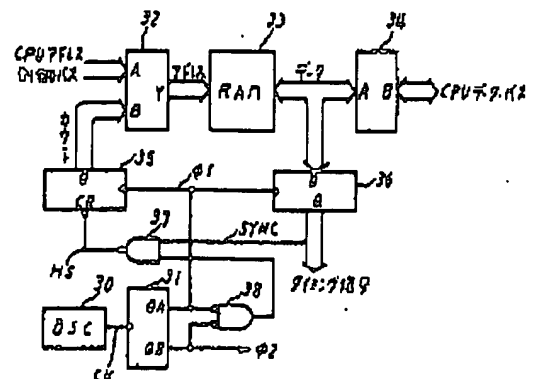
第5図



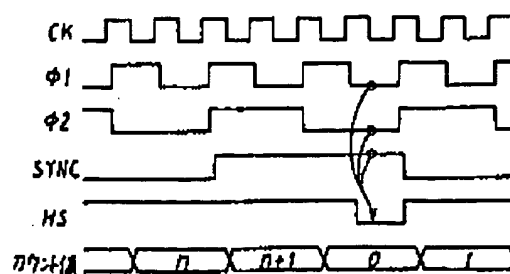
第1図



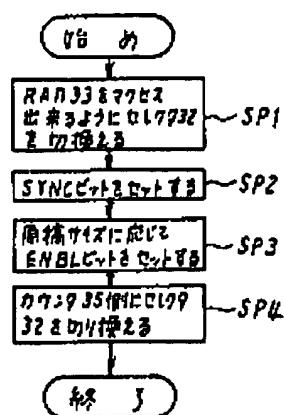
第2図



第3図



第 6 図



第 7 図